

CERTIFICATE OF MAILING BY FIRST CLASS MAIL (37 CFR 1.8)

Applicant(s): Tomoko AOKI et al.

Docket No.

2003JP316

Serial No.

10/564,336

Filing Date

January 11, 2006

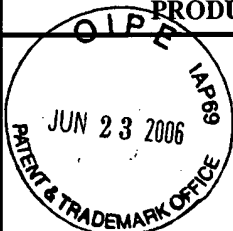
Examiner

To Be Assigned

Group Art Unit

To Be Assigned

Invention: PHOSPHORUS-CONTAINING SILAZANE COMPOSITION, PHOSPHORUS-CONTAINING
SILICEOUS FILM, PHOSPHORUS-CONTAINING SILICEOUS FILLER, METHOD FOR
PRODUCING PHOSPHORUS-CONTAINING SILICEOUS FILM, AND SEMICONDUCTOR DEVICE

I hereby certify that this JP 2002-367980 - 18 Pages*(Identify type of correspondence)*

is being deposited with the United States Postal Service as first class mail in an envelope addressed to: The

Commissioner of Patents and Trademarks, Washington, D.C. 20231-0001 on

June 21, 2006*(Date)*MARIA T. SANCHEZ*(Typed or Printed Name of Person Mailing Correspondence)*
*(Signature of Person Mailing Correspondence)***Note: Each paper must have its own certificate of mailing.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-367980
(P2002-367980A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L	21/312	H 0 1 L	21/312 C 5 F 0 3 2
	21/316		21/316 G 5 F 0 3 3
	21/3205		21/76 L 5 F 0 5 8
	21/76		21/88 K
	21/768		21/90 Q
審査請求 有 請求項の数14 O L (全 18 頁)			

(21) 出願番号 特願2002-5050 (P2002-5050)
(22) 出願日 平成14年1月11日 (2002. 1. 11)
(31) 優先権主張番号 2 0 0 1 - 3 1 6 3 3
(32) 優先日 平成13年6月7日 (2001. 6. 7)
(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72) 発明者 李 禎浩
大韓民国京畿道水原市八達区靈通洞新ナム
シル住公アパート506棟904号
(72) 発明者 李 東峻
大韓民国京畿道龍仁市樹脂邑漢城アパート
106棟304号
(74) 代理人 100093779
弁理士 服部 雅紀

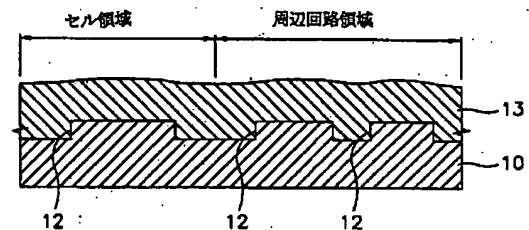
最終頁に続く

(54) 【発明の名称】 半導体装置のシリコン酸化膜形成方法およびこれを用いた素子分離方法

(57) 【要約】

【課題】 スピンオンガラスを利用して、アスペクト比が高くVLSI級の配線層間のギャップを埋立てることができ、CVD酸化膜と実質的に同一な特性を有する半導体装置のシリコン酸化膜形成方法を提供する。

【解決手段】 上面にトレンチ12が形成された基板10の上に構造式が $-(SiH_2NH)_n-$ (式中、nは正の定数である) であり、ポリシラザンを含むSOG溶液を塗布して平坦なSOG膜を形成する。SOG膜を1次熱処理して酸化物に転換させ、取得した酸化物を2次熱処理して密集化させ、SOG膜を平坦な表面を有するシリコン酸化膜に形成する。アクティブ領域のシリコンが酸化されることを抑制して寸法安定性を確保することができる。



【特許請求の範囲】

【請求項1】 上面に形成された段差部を有する半導体基板上に構造式が $-(SiH_2NH)_n-$ (n は正の定数)であるポリシラザンを含むスピノンガラス溶液を塗布して平坦なスピノンガラス膜を形成する段階と、前記スピノンガラス膜を1次熱処理して酸化物に転換し、前記酸化物を2次熱処理して密集化させ、前記スピノンガラス膜を硬化して平坦な表面を有するシリコン酸化膜を形成する段階と、を含むことを特徴とする半導体装置のシリコン酸化膜形成方法。

【請求項2】 前記ポリシラザンは、重量平均分子量が4000から8000であり、重量平均分子量および数平均分子量の比である分子量分布が3.0から4.0であることを特徴とする請求項1に記載の半導体装置のシリコン酸化膜形成方法。

【請求項3】 前記硬化は、100から500℃の温度で第1期間に予備ベーキングする段階と、400から1200℃の温度で第2期間に主ベーキングして前記1次熱処理および前記2次熱処理を実施する段階とを含むことを特徴とする請求項1に記載の半導体装置のシリコン酸化膜形成方法。

【請求項4】 前記1次熱処理は酸化性雰囲気下で800から900℃の温度で実施され、前記2次熱処理は不活性雰囲気、酸化性雰囲気および不活性雰囲気の混合雰囲気または真空雰囲気下のいずれかで900から1100℃の温度で実施されることを特徴とする請求項3に記載の半導体装置のシリコン酸化膜形成方法。

【請求項5】 前記スピノンガラス溶液は、54から420 s⁻¹のせん断速度で1から10 mPa・sの一定の粘度を有することを特徴とする請求項1に記載の半導体装置のシリコン酸化膜形成方法。

【請求項6】 前記スピノンガラス溶液は、4°以下のコンタクト角を有することを特徴とする請求項1に記載の半導体装置のシリコン酸化膜形成方法。

【請求項7】 前記スピノンガラス溶液は、ホウ素、フッ素、リン、ヒ素、炭素および酸素を含む一群のうちの少なくとも一つの不純物を含むことを特徴とする請求項1に記載の半導体装置のシリコン酸化膜形成方法。

【請求項8】 前記段差部の形成は半導体基板の上部を部分的にエッチングしてトレンチを形成する段階を含み、前記スピノンガラス膜は前記トレンチを埋立てるように形成されることを特徴とする請求項1に記載の半導体装置のシリコン酸化膜形成方法。

【請求項9】 前記スピノンガラス組成物のうちのバハイドロポリシラザンの重量平均分子量は6000から8000であることを特徴とする請求項8に記載の半導体装置のシリコン酸化膜形成方法。

【請求項10】 半導体基板の上部を部分的にエッチングしてトレンチを形成する段階と、

上面に形成された段差部を有する半導体基板の上に構造式が $-(SiH_2NH)_n-$ (n は正の定数)であり重量平均分子量が6000から8000であり重量平均分子量および数平均分子量の比である分子量分布が3.0から4.0であるポリシラザンを含むスピノンガラス溶液を塗布し、前記トレンチを埋立てる平坦なスピノンガラス膜を形成する段階と、

前記スピノンガラス膜を1次熱処理し、前記ポリシラザンをシリコン酸化膜に転換する段階と、前記転換されたシリコン酸化膜を2次熱処理して密集化させ、前記トレンチを埋立てるシリコン酸化層を形成する段階と、

前記シリコン酸化層を部分的にエッチングし、前記トレンチを埋立てるフィールド酸化物を形成して半導体装置の活性領域を限定する段階と、

を含むことを特徴とする素子分離方法。

【請求項11】 前記1次熱処理前に100から500℃の温度で第1期間に予備ベーキングする段階を含むことを特徴とする請求項10に記載の素子分離方法。

【請求項12】 前記1次熱処理は酸化性雰囲気下で800から900℃の温度で実施され、前記2次熱処理は不活性雰囲気、酸化性雰囲気および不活性雰囲気の混合雰囲気または真空雰囲気下で900から1100℃の温度で実施されることを特徴とする請求項10に記載の素子分離方法。

【請求項13】 前記スピノンガラス溶液は、54から420 s⁻¹のせん断速度で1から10 mPa・sの一定の粘度を有することを特徴とする請求項10に記載の素子分離方法。

【請求項14】 前記スピノンガラス溶液は、4°以下のコンタクト角を有することを特徴とする請求項10に記載の素子分離方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置のシリコン酸化膜形成方法およびこれを用いた素子分離方法に関するものであり、より詳細には、半導体製造工程で、絶縁膜として使用されるシリコン酸化膜を形成するためのバハイドロポリシラザンを含むスピノンガラス（以下、「スピノンガラス」をSOG (Spin-on-Glass) と称する）組成物を用いたシリコン酸化膜形成方法および素子分離方法に関するものである。

【0002】

【従来の技術】近來、コンピュータのような情報媒体の急速な普及に伴って、半導体装置は飛躍的に発展している。その機能面において、半導体装置は高速で動作すると同時に大容量の貯蔵能力を有することが要求される。これにより、半導体装置は、集積度、信頼度および応答速度などを向上させる方向に製造技術が発展している。

【0003】集積回路を製造するためには、単一基板上

に多くの活性素子を形成することが必要である。最初、各素子は、互いに絶縁されていなければならないが、回路の特定機能を得るためには、製造工程の途中で特定素子を電氣的に相互に接続する必要がある。MOSおよびバイポーラのVLSIおよびULSI装置は、多くの素子の相互接続を図る多層相互接続 (multilevel interconnection) 構造を有する。このような相互接続構造では、層数 (number of layers) が増加するに従って、最上層の形状 (topography) が一層屈曲化および凹凸 (uneven) 化される。

【0004】例えば、二つまたはそれ以上の金属層を有する半導体ウェーハを製造する場合、多数の酸化膜、多結晶シリコン導電層および第1金属配線層が形成されている半導体ウェーハに、第1層間絶縁膜を形成した後、第2金属層と電氣的に接続するためのビアを形成する。第1層間絶縁膜の下部構造物に凹凸がある (uneven) ので、第1層間絶縁膜の表面は平坦ではない。このように第1層間絶縁膜上に第2金属層を直接形成する場合には、第2金属層は第1層間絶縁膜の突出部やクラックのために破壊 (fracture) され、下地絶縁膜 (underlying insulation layer) 上の金属塗布が不良になる。このように、不良が半導体装置の収率を低下させるので、多層金属接続構造では、ビアまたは第2金属層を形成する前に層間絶縁膜の平坦化が要求される。

【0005】層間絶縁膜の平坦化に対しては、リフロー特性が高いBPSG (Borophosphorous Silicate Glass) 膜やSOG (Spin-On-Glass) 膜を用いる方法、化学的および機械的研磨 (Chemical Mechanical Polishing; CMP) 法など各種の方法が開発されている。

【0006】一般的に、金属配線間のギャップを埋めるための層間絶縁膜の材料としては、BPSGを用いる方法が広く使用されてきた。しかし、BPSGを蒸着する工程は、設備間の依存性ならびにチャンバ状態の依存性が強く、使用されるガスが高価であるだけでなく、そのガスは毒性が強く人体への危険性を内包している。

【0007】その上、現在の256メガDRAM級以上のVLSIを製造する場合、集積度が増加しデザインルールが減少するに従って、BPSGを使用して層間絶縁膜を形成し配線間のギャップを埋立する時のボイド生成によるブリッジの形成によって収率が低下し、後続工程で使用されるエッチングストップ層が損傷する。これを避けるためには、追加的なリフロー工程と高費用のCMP工程とを実施する必要がある。

【0008】これに反して、SOG膜を用いた絶縁膜を形成する工程は、単純なコーティング工程で平坦な絶縁膜を形成することができる工程として広く知られてい

る。例えば、米国特許第5,310,720号 (issued to Shin et al.) にはポリシラザン層を形成した後、ポリシラザン層を酸素雰囲気中で燃焼 (firing) して酸化シリコン層へ転換させる方法が開示されている。また、米国特許第5,976,618号 (issued to Shunichi Fukuyama et al.) には無機SOGを塗布した後、2段階の熱処理工程を経てこれをシリコン酸化膜に転換させる方法が開示されている。

【0009】ポリシラザン系のSOGは基本骨格がSi-N、Si-HおよびN-H結合により構成され、酸素および水を含む雰囲気の中でベーキングするとSi-N結合がSi-O結合に置換される。このようなSOGを利用してシリコン酸化膜に転換させる方法は簡単なスピコーティング方法と硬化工程により行われ、費用が節減される長所を有している。しかし、全てのSi-N結合がSi-O結合に置換されるわけではない (日本特開平11-145286号を参照)。従って、生成されるシリコン酸化膜は、従来より使用されるBPSG膜やTEOS膜等のようなシリコン酸化膜とは異なる絶縁性および電氣的特性を有しているので、層間絶縁膜に使用されることに問題点があった。

【0010】さらに、スピコーティング方式により塗布するので、生成されるシリコン酸化膜の厚みは不十分であり、下部構造物であるゲート電極や金属配線のような導電層パターンを十分にカバーすることができなかった。そこで、本発明者は、アスペクト比が高くVLSI級の配線層間のギャップを埋立てることができ、機械的な平坦化方法を必要とせず、基板上のギャップを埋立てまた表面の不連続部 (surface discontinuities) を滑らかにし、CVD酸化膜と実質的に同一な特性を有する半導体装置の酸化膜を製造するためのパハイドロシラザンを含むスピオンガラス組成物を発明した。この発明を本発明の出願人は、「スピオンガラス組成物及びこれを利用した半導体装置のシリコン酸化膜の形成方法」という発明の名称で、日本特許出願第2001-26024号 (出願日: 2001年2月1日付) に出願した。

【0011】上述した方法によると、上面に形成された段差部または表面不連続部 (surface discontinuities) を有する半導体基板の上に、構造式が $-(SiH_2NH)_n-$ (式中、nは正の整数である) であり、重量平均分子量が4000から8000であり、重量平均分子量および数平均分子量の比である分子量分布が3.0から4.0であるポリシラザンを含むSOG溶液を塗布して平坦なSOG膜を形成する。次に、SOG膜を硬化して、平坦な表面を有するシリコン酸化膜を形成する。

【0012】シリコン酸化膜の例としては、STI (Shallow Trench Isolation) 構

造を有する隔離構造 (Isolation Structure) を形成するための溝および突出部により形成された段差部を有する半導体基板上に酸化膜を形成して、STI 構造の素子分離膜として形成することができる。

【0013】前記硬化の段階は、予備ベーキングする段階と、主ベーキングする段階とにより区分される。予備ベーキングは、100から500℃、望ましくは100から400℃の温度で1から5分間、望ましくは2から3分間実施する。また、主ベーキングは、900から1050℃の温度で実施する。

【0014】このとき、取得されたシリコン酸化膜は、0.1から1ミクロンの大きさのギャップからなるSTI 構造で、優れたギャップ埋立特性を示した。しかし、ウェットエッチング速度の評価によると、主ベーキングの温度が増加することにより、エッチング速度は減少し、シリコン基板と活性領域の表面部位とに酸化膜が形成される問題点が発生する。

【0015】図1は、トレンチの内壁に形成された酸化物を示す断面図である。図1に示した装置は次のような方法で形成する。シリコン基板100上にパッド酸化膜を形成した後、前記パッド酸化膜の上に窒化膜および高温酸化膜を順次に蒸着する。前記窒化膜は、化学機械的研磨工程時に、研磨阻止膜 (stopping layer) として提供され、高温酸化膜はハードマスク層として提供される。

【0016】続いて、高温酸化膜上にシリコン酸窒化物 (SiON) を蒸着し、反射防止層 (anti-reflection layer) (図示せず) を形成した後、アクティブパターンを定義するためのフォトリソグラフィを実施して高温酸化膜パターン116を形成する。

【0017】高温酸化膜パターン116をエッチングマスクに用い、窒化膜およびパッド酸化膜をエッチングして窒化膜パターン114およびパッド酸化膜パターン112を形成した後、続けて窒化膜パターン114に隣接するシリコン基板100の上部をエッチングしてトレンチ118を形成する。

【0018】続いて、トレンチエッチング工程の間に高エネルギーのイオン衝撃により惹起されたシリコン損傷をキューリングするために、トレンチ118の露出した部分を酸化雰囲気中で熱処理する。そうすると、露出したシリコンと酸化剤との酸化反応により、トレンチ118の基底面と側壁を含む内面上にトレンチ内壁酸化膜120が形成される。

【0019】次に、トレンチ118を埋めるように、本出願人が開示したSOG組成物を前記半導体基板100上に塗布して、SOG層を形成し、取得したSOG層を硬化する。硬化は、100から500℃、望ましくは100から400℃の温度で、1から5分間、望ましくは

2から3分間実施する予備ベーキングと、900から1050℃の温度で実施する主ベーキングとを経て、シリコン酸化膜に転換させる。そうすると、図1に図示したように、トレンチを埋立てる酸化物層130を得ることができる。酸化物層130は、SOG膜から形成される。このとき、円形に表示したように、基板のトレンチの下面より側壁部位にトレンチ内壁酸化膜120が厚く形成されていることが分かる。このような酸化物は、SOG膜をコーティングした後、酸化性雰囲気中で、1段階で1000℃以上の温度で硬化する場合に、酸化性雰囲気中の酸素が高温で基板100のシリコンと結合して酸化反応を起したことにより生成されたと判断される。このような酸化物が発生すると、CMP工程を実施した後のデント (dent) 部位の形状に不良が発生したり、アクティブ領域の大きさが変化する可能性がある。

【0020】

【発明が解決しようとする課題】従って、本発明の第1目的は、上述したスピノングラス組成物を使用して、酸化膜を形成するときにシリコン基板と活性領域の表面部位で発生する酸化膜の形成を抑制し、良質なシリコン酸化膜を形成することができる半導体装置のシリコン酸化膜形成方法を提供することにある。本発明の第2目的は、上述したシリコン酸化膜形成方法を用いた半導体装置の素子分離方法を提供することにある。

【0021】

【課題を解決するための手段】上述した第1目的を達成するための本発明は、上面に形成された段差部を有する半導体基板上に構造式が $-(SiH_2NH)_n-$ (式のうち、nは正の定数である) であるポリシラザンを含むSOG溶液を塗布して平坦なSOG膜を形成する段階と、前記SOG膜を1次熱処理して酸化物に転換し、取得した酸化物を2次熱処理して密集化させ、SOG膜を平坦な表面を有するシリコン酸化膜に形成する段階とを含む半導体装置のシリコン酸化膜形成方法を提供する。

【0022】上述した第2目的を達成するための本発明は、半導体基板の上部を部分的にエッチングして、トレンチを形成する段階と、上面に形成された段差部を有する半導体基板上に構造式が $-(SiH_2NH)_n-$ (式のうち、nは正の定数である) であり、重量平均分子量が6000から8000であり、分子量分布度が3.0から4.0であるポリシラザンを含むSOG溶液を塗布して、トレンチを埋立てる平坦なSOG膜を形成する段階と、SOG膜を1次熱処理して、ポリシラザンをシリコン酸化膜に転換する段階と、転換されたシリコン酸化膜を2次熱処理して密集化させ、トレンチを埋立てるシリコン酸化層を形成する段階と、シリコン酸化層を部分的にエッチングして、トレンチを埋立てるフィールド酸化物を形成し半導体装置の活性領域を限定する段階とを含む素子分離方法を提供する。

【0023】本発明によると、SOGを利用して約5：

1から10:1程度のアスペクト比を有する導電層パターン部位または異なる表面不連続部を完全に覆い、平坦でボイドがないシリコン酸化膜を形成することができる。また、1次熱処理してSOG組成物をシリコン酸化膜に転換した後、転換されたシリコン酸化膜を2次熱処理して密集化する場合には、アクティブ領域のシリコンが酸化されることを抑制して寸法安定性を確保することができる。

【0024】

【発明の実施の形態】前記の説明により、ある物質、層または構造物が、異なる物質、構造物または層上にあるいは上部に(on or over another material, structure, or layer)形成されているときは、他の層、物質または構造物を挿入し形成することができる。

【0025】本発明に使用することができるスピノンガラス組成物は、米国特許第09/686、624号に開示されている。即ち、スピノンガラス組成物は、構造式が $-(SiH_2NH)_n-$ (式中、 n は正の整数である)であり、重量平均分子量が4000から8000であり、重量平均分子量および数平均分子量の比である分子量分布が3.0から4.0であるパハイドロポリシラザンを含む。

【0026】ポリシラザンの製造方法は公知である。代表的な方法としてはハロシランとルイス塩基を反応させ、取得した複合体(complex compound)をアンモニアと反応させて製造することができる。それ以外にも、 $SiCl_4$ または SiH_2Cl_2 のようなシリコンハライドとアミンを反応させてポリシラザンを合成する方法、シラザンをアルカリ金属ハライド触媒を使用してポリシラザンに転換する方法、遷移金属複合触媒(transition metal complex compound)を使用してアミン化合物とシラン化合物を脱水素化(dehydrogenation)させる方法などが公知である。

【0027】また、米国特許第5,494,978号(issued to Yasuo Shimizu et al.)には数平均分子量が100から10000である無機ポリシラザンを利用して変性されたポリシラザンを製造する方法が開示されている。

【0028】米国特許第5,905,130号(issued to Hirohiko Nakahara et al.)にはポリアミノシラン化合物とポリハイドロゲン化された窒素含有化合物(polyhydrogenated nitrogen-containing compound)とを塩基触媒の下で反応させ、ポリハイドロゲン化シリコン化合物(polyhydrogenated silicon compound)とポリハイドロゲン化窒素含有化合物を塩基性の固体の酸化物触媒(basic solid oxide c

atalyst)の存在下で反応させてポリシラザンを製造する方法が開示されている。

【0029】米国特許第5,436,398号(issued to Yasuo Shimizu et al.)にも数平均分子量が1120であるパハイドロポリシラザンの製造例が開示されている。米国特許第4,937,304号(issued to Ayama et al.)および第4,950,381号(issued to Takeuchi et al.)には所望の分子量を有するポリシラザンの製造方法が開示されている。

【0030】本発明で使用されるポリシラザンの製造方法には特別な制限はない。上述した方法によりポリシラザンは容易に製造することができる。上述した公知の方法により製造されたパハイドロポリシラザンを使用可能であるように、分子量に従う分別法(fractionation)を利用し分類して使用する。

【0031】使用されるポリシラザンの重量平均分子量が4000より少ないと、小さい分子量によりガス抜け(outgassing)が増加し、酸化シリコンにあまりにも速く転換してクラックが発生し易く望ましくなく、8000を超過すると、SOG溶液の粘度が増加し、コーティング時に生成されるSOG膜の均一性(uniformity)が下がって望ましくない。従って、パハイドロポリシラザンの分子量は4000から8000が望ましい。より具体的には、トレンチ(ギャップ)を埋立てるためにSOG層を形成する場合、パハイドロポリシラザンの重量平均分子量は6000~8000、望ましくは6500~7000である。

【0032】かつ、重量平均分子量と数平均分子量の比であるポリシラザンの分子量分布が3.0より小さいと、ポリシラザンを分類する時の効率性が下がって製造収率(Yield)が低いので望ましくなく、4.0を超過すると、酸化シリコンの転換が不均一であって望ましくない。従って、ポリシラザンの分子量分布は3.0から4.0であることが望ましい。しかし、この範囲を外れる場合も組成物は条件に従って適切に使用することができる。

【0033】上述したポリシラザンを有機溶媒に溶解させてSOG溶液を製造する。使用することができる溶媒としては有機溶媒または他の溶媒が使用可能であり、特別な制限はない。望ましくは、キシレンのような芳香族系の溶媒、ジブチルエーテルのようなエーテルなどを使用することができる。ポリシラザンは濃度が30重量%より大きければ、ポリシラザンの不安定性が増加し、寿命(life time)が減少するだけでなくクラックが発生して望ましくなく、10重量%より小さいと、SOG膜の厚み調節が容易でないので望ましくない。従って、ポリシラザンの濃度は10から30重量%、望ましくは18から25重量%である。かつ、SOG溶液中

の溶媒の量は組成物全体の重量を基準にして70から90重量%、望ましくは75から82重量%である。

【0034】ポリシラザンを含むSOG溶液は下部(Underlying)膜、例えば、シリコン窒化膜に対して4°以下のコンタクト角を有することが望ましい。コンタクト角が4°より大きければ、下部膜との付着力(adhesion)が悪いので望ましくない。

【0035】コーティングおよび硬化工程で表面の均一性を達成するために、SOG溶液は一定したせん断速度で1から10mPa・s、望ましくは1から8mPa・sの一定した粘度を有する。図2は本発明の実施例1によるせん断速度の変化に伴うSOG溶液の粘度変化を示したグラフである。図2のグラフで縦軸は粘度(単位:mPa・s)を示し、横軸はせん断速度 s^{-1} を示す。図2から分かるように、SOG溶液は54から420 s^{-1} のせん断速度で1から10mPa・sの一定の粘度を有する。かつ、図2から、SOG溶液は10から1000 s^{-1} のせん断速度で1から10mPa・sの一定の粘度を有する。

【0036】SOG溶液は必要によっては、ホウ素、フッ素、リン、ヒ素、炭素、酸素などのような元素を含む化合物を不純物として少なくとも一つ含むことができる。このような不純物のうちで、ホウ素、フッ素、リン、ヒ素のような元素をSOG溶液に添加する場合には、SOG溶液から生成されるシリコン酸化膜が不純物を含むこととなり、従来のBSG膜、BPSG膜、PSG膜と類似な特性を有する膜に転換される。かつ、炭素や酸素のような元素を含む化合物を不純物として添加すると、シリコン酸化膜への転換速度を促進させることができる。

【0037】上面に形成された段差部のような表面の不連続部を有する半導体基板の上にSOG溶液をスピコーティング方法によって塗布し、平坦なSOG膜を形成する。段差部は少なくとも二つの配線層パターンによって形成することができる。例えば、ゲート電極パターンや、ビットラインのような導電性金属配線パターン層である。二つの導電層パターン間の距離は制限がない。しかし、一般的に1 μm より大きいと従来のBPSGを利用して酸化膜を形成する方法を適用することもでき、0.04 μm より小さいとSOG溶液の優れた段差塗布性にもかかわらずバイド形成の可能性があるためこの方法は望ましくない。従って、0.04から1 μm 程度のギャップを有する導電層パターンが形成されている半導体基板の上に塗布することが望ましい。

【0038】この時、導電層パターンに形成されたギャップに対する深さの比であるアスペクト比が低い場合でも塗布可能であるが、約5:1から10:1程度のアスペクト比を有する導電層パターン部位を塗布することができる。一般的に、半導体基板の上には素子の形成部位に従ってゲート電極を含むセルアレーのように導電層パ

ターンが密集している密集段差部(または密集し隔離されたギャップ部)と、このような導電層パターンが稀に形成される周辺回路部のようなグローバル段差部とが共存する。本発明の方法は上述したようなアスペクト比が5:1から10:1である密集段差部とアスペクト比が1:1以下であるグローバル段差部とに適用可能である。

【0039】また、段差部は半導体基板の凹凸部により形成される。具体的にはSTI(Shallow Trench Isolation)構造を有する隔離構造(Isolation structure)を形成するための溝と突出部により形成された段差部とを有する半導体基板の上に本発明による酸化膜を形成して、STI構造の素子分離膜を形成することができる。

【0040】かつ、段差部は絶縁膜の上に形成された金属配線により形成される。即ち、絶縁膜の上に形成された金属配線を絶縁させるための絶縁膜として、本発明による方法によりシリコン酸化膜を形成し層間絶縁膜として使用することもできる。以下、コーティングされたSOG膜の硬化方法について詳細に説明する。

【0041】前記の方法により形成されたSOG膜を硬化し、平坦な表面を有するシリコン酸化膜に転換する。硬化段階は予備ベーキングする段階と主ベーキングする段階とに区分される。予備ベーキングを100℃以下で行うと、有機溶媒が完全に除去されずに、残留するので望ましくなく、500℃以上の温度で行うと、主ベーキング工程でのポリシラザンのシリコン酸化物への転換が容易でないだけでなく、表面が急激に酸化シリコンに転換されることによりクラックが発生し、生成されるシリコン酸化膜が均一でないため望ましくない。かつ、予備ベーキングを行う時間が1分未満であれば、有機溶剤が残留する可能性があって望ましくなく、5分を超過すると、有機溶剤は完全に除去されるがポリシラザンを含むSOG膜の表面でシリコン酸化物への部分的な転換が誘発され、部分的にクラックが発生して望ましくない。従って予備ベーキングは100から500℃、望ましくは100から400℃の温度で1から5分の間、望ましくは2から3分の間行う。

【0042】主ベーキング段階は予備ベーキングに比べて高温で長時間実行する。ポリシラザン系のSOGは基本骨格のSi-N結合で構成され、酸素および水を含む雰囲気の中でベーキングするとSi-N結合がSi-O結合に置換されると知られている。従来の方法によると、一般的に全てのSi-N結合がSi-O結合に置換されない。しかし、本発明によるポリシラザンを含むSOG溶液を使用してコーティングしSOG膜を形成した後、硬化工程を行う場合、Si-N結合がないので、CVD方法により形成されたシリコン酸化膜と実質的に同一な特性を有する酸化膜を製造することができる。

【0043】ポリシラザンを酸化シリコンに転換する際、主ベークイングの温度が400℃未満である場合は硬化が充分でないで、Si-N結合が残留して酸化膜の特性に悪影響を及ぼす憂慮が高く望ましくなく、主ベークイングの温度が1200℃より高い場合は、生成されるシリコン酸化膜の平坦度が低下し、クラックが発生して望ましくない。従って、主ベークイングは400から1200℃、望ましくは400から1000℃の温度で行う。

【0044】かつ、主ベークイング工程の実行時間が10分より小さい場合はSOG膜のシリコン酸化膜への転換が充分でないで望ましくなく、180分を超過する場合は生成されるシリコン酸化膜の応力が増加して望ましくない。従って、主ベークイング工程の時間は10分から180分の間、望ましくは30分から120分の間行う。主ベークイング工程はSi-N結合をSi-O結合に転換することに適した雰囲気である酸化性雰囲気または不活性雰囲気で行う。例えば、酸素雰囲気、水蒸気雰囲気、酸素と水蒸気の混合雰囲気または窒素雰囲気で行うことが望ましい。特に、水蒸気雰囲気で行うことが望ましい。このとき、雰囲気中の水分は1.2から86重量%に維持することが望ましい。

【0045】前記の主ベークイングの段階は下部構造物に応じて下部構造物に及ぼす影響を考慮し、温度範囲を適当に変更することができる。例えば、段差部が半導体基板の上部を部分的にエッチングして形成されたトレンチを含み、SOG膜がトレンチを埋立てるように形成される場合は、硬化工程の主ベークイングは900から1000℃の温度で行うことが望ましい。

【0046】段差部が半導体基板の上に形成された複数のゲート電極を含み、SOG膜がゲート電極を完全に覆うように形成される場合は、硬化工程の主ベークイングは600から900℃の温度で行うことが望ましい。かつ、段差部が絶縁膜の上に形成された複数の金属配線パターンを含み、SOG膜が金属配線パターンを完全に覆うように形成される場合は、硬化工程の主ベークイングは400から450℃の温度で行うことが望ましい。

【0047】本発明による方法によってSOG組成物を利用して1回の工程で厚みが4000から6500Åであるシリコン酸化膜を形成することができる。かつ、SOG組成物を塗布する前に導電層パターンの上面および側面にエッチング阻止膜として窒化シリコン膜を200から600Åの厚みに形成することもできる。

【0048】本発明のSOG組成物を使用した半導体装置の製造方法は、トレンチを埋立てることや、ゲート電極および/または金属パターンを平坦化することに行うことができる。しかし、本発明によるSOG組成物でトレンチのみ埋立し、ゲート電極および金属パターンを平坦化することには従来のSOG組成物や他の方法を使用することもできる。即ち、本発明のSOG組成物を

使用して単一の半導体装置のトレンチを埋立てることや、ゲート電極および金属パターンを平坦化することができるが、必ずこれら全てに適用すべき必要はないし、これらのうちでいずれか一つのみ適用することができる。

【0049】本発明では、主硬化工程は2段階の熱処理工程により実施することができる。1段階熱処理する場合には、図1と関連して説明すると、トレンチの内壁で半導体基板から提供されたシリコンソースが酸化性雰囲気中の酸素と反応して側壁にシリコン酸化膜を形成し、アクティブ領域の寸法を変更させる憂慮がある。したがって、トレンチのように、下部でシリコンソースが提供される物質により構成された基板上で、ポリシラザンからなるSOG組成物を使用して形成されたSOG膜を硬化する場合には、2段階に熱処理してシリコン酸化膜に転換する。

【0050】まず、SOG膜を1次熱処理してポリシラザンを酸化物に転換する。このとき、1次熱処理は、酸素雰囲気、水蒸気雰囲気、酸素と水蒸気の混合雰囲気などのように、酸化性雰囲気、500から1000℃の温度で、望ましくは600から900℃、さらに望ましくは800から900℃の温度で10から120分間実施する。

【0051】次に、1次熱処理され生成された酸化物を酸化性雰囲気、不活性雰囲気、酸化性雰囲気と不活性雰囲気との混合雰囲気、または真空雰囲気下で2次熱処理して密着化(densification)させる。特に、窒素ガスからなる不活性雰囲気下で実施することが望ましい。2次熱処理工程は、600から1200℃の温度で、望ましくは900から1100℃で10から120分間実施する。

【0052】特に、半導体基板の上部を部分的にエッチングして形成されたトレンチを埋立するように、SOG膜が形成される場合、硬化工程の主ベークイング工程の2次熱処理工程は、900から1100℃の温度で主ベークイングする段階で実施することが望ましい。

【0053】以下、本発明の実施例を詳細に説明するが、本発明はこれにより制限されない。

〈実施例1〉

〔スピノングラス組成物の製造〕市販されているパハイドロポリシラザンを購入して分別法(fractionation)により重量平均分子量が4500から7000であり、分子量の分布が3.0から4.0であるパハイドロポリシラザンを取得する。取得したパハイドロポリシラザンをキシレンに22から25重量%の濃度に溶解させてスピノングラス組成物を製造する。取得したSOG組成物は、下肢膜として窒化シリコン膜に対するコンタクト角を測定した結果、4°以下のコンタクト角を示した。

【0054】SOG組成物はせん断速度を変化させなが

ら粘度を測定した結果、図2に示したような粘度の特性を示した。図2はせん断速度の変化に伴うSOG溶液の粘度変化を示したグラフである。図2のグラフで横軸は粘度(単位: $\text{mPa} \cdot \text{s}$)を示し、縦軸はせん断速度 s^{-1} を示す。図2から分かるように、SOG溶液は54から420 s^{-1} のせん断速度で1から10 $\text{mPa} \cdot \text{s}$ の一定した粘度を示すことが分かる。

【0055】〔酸化膜の形成〕図3から図13は、本発明の実施例1による半導体装置のシリコン酸化膜の形成方法を説明するための断面図である。図3を参照すると、シリコン(Si)のような半導体からなるp型基板10を準備する。基板10の上部には、素子分離領域をエッチングしてトレンチ12を形成する。トレンチ12は深さ4600Åであり、幅1250Åである。

【0056】トレンチ12が形成された基板10の上に、前記のように準備した重量平均分子量が6000から8000のパハイドロポリシラザンを含むSOG溶液を6000~7000Åの厚みに塗布し、第1SOG膜13を形成する。図4に示すように、第1SOG膜13に100から500℃の温度で1分から5分間予備ベーキング工程を行った後、900から1000℃の温度で約30分間主ベーキング工程を行って、第1シリコン酸化膜13aに転換する。この時、水分を約86重量%含有した水蒸気の雰囲気で行う。

【0057】次に、図5に示すように、取得した第1シリコン酸化膜13aを化学的および機械的研磨方法(CMP)により半導体基板10の上部表面が露出するまで研磨し、図示したように、トレンチ12の内部が酸化シリコン14で埋立てられた素子分離領域を形成する。

【0058】図6に示すように、メモリセルを形成する領域(セル領域)の半導体基板10にn型不純物、例えばリン(P)を注入してn型半導体領域20を形成し、セルアレー領域と周辺回路領域の一部とにp型不純物、例えばホウ素(B)をイオン注入してp型ウェル30を形成し、周辺回路領域の残り一部にn型不純物、例えばリン(P)をイオン注入してn型ウェル40を形成する。

【0059】次に、スレショルド電圧を調節するための不純物、例えばBF₂(フッ化ホウ素)をp型ウェル30およびn型ウェル40にイオン注入する。続いて、p型ウェル30およびn型ウェル40の角表面の部位をフッ酸系の洗浄液を使用して洗浄した後、半導体基板10を湿式酸化してp型ウェル30およびn型ウェル40の角表面の部位にゲート酸化膜16を形成する。この時、トレンチ12の内面部位の基板の一部も部分的に酸化して、ゲート酸化膜16は連続的に形成される。ゲート酸化膜16は約40~200Åの厚みを有する。

【0060】図7に示すように、フィールド酸化膜でトレンチ12に埋立てられた酸化シリコン14とゲート酸化膜16とが形成された基板10の全面に、例えばP

(リン)などのn型不純物にドーピングされた多結晶シリコン膜を低圧の化学気相蒸着(LPCVD)方法で蒸着して、約500~4000Åの厚みを有するポリシリコン膜を形成する。続いて、ポリシリコン膜の上に珪化タングステン膜とタングステン膜をスパッタリング方法で各々1000~2000Åの厚みを有するように沈積した後、タングステン膜の上に窒化シリコン膜を積層する。窒化シリコン膜は低圧の化学気相蒸着またはプラズマ増大の化学気相蒸着(PECVD)方法を利用して約500~2000Å程度の厚みを有するように形成する。

【0061】窒化シリコン膜の上にフォトレジスト膜を形成した後、マスクを使用してフォトレジスト膜を選択的に露光する。次にフォトレジスト膜を現像して、ゲート電極を形成するためのフォトレジストパターン22を形成する。フォトレジストパターン22をエッチングマスクに使用して窒化シリコン膜、タングステン膜、珪化タングステン膜およびポリシリコン膜を順次にエッチングして、ポリシリコンパターン24a、珪化タングステンパターン24b、タングステンパターン24cおよび窒化シリコンパターン24dにて構成されたゲート電極24Ga、24Gb、24Gc、24WLを形成する。それにより、図示したように、セルアレー領域にはゲート電極24Gaとワードライン24WLが形成され、周辺の回路領域にも各々ゲート電極24Gbおよび24Gcが形成される。

【0062】セルアレー領域に形成されるゲート電極24Ga、24WLはゲート電極間のギャップが0.4から1μmに形成され、ゲート電極24Ga、24WLのギャップに対する高さの比であるアスペクト比が5:1から10:1である密集段差部を形成している。反面、周辺回路領域に形成されるゲート電極24Gb、24Gcはゲート電極間のギャップに対する高さの比であるアスペクトの比が1:1以下であるグローバル段差部を形成する。

【0063】図8に示すように、n型ウェル20にp型不純物、例えばホウ素をイオン注入してゲート電極24Gcの両側のn型ウェル40にp型不純物領域25を形成する。かつ、p型ウェル30にn型不純物、例えばリンをイオン注入してゲート電極24Gbの両側のp型ウェル30にn型不純物領域27を形成し、ゲート電極24Gaの両側のp型ウェル20にはn型不純物領域26を形成する。

【0064】図9に示すように、半導体基板10上に気相酸化蒸着法により窒化シリコンを蒸着させ、厚み200から600Åである窒化シリコン膜32を形成する。次に、セルアレー領域を窒化シリコン膜32はフォトレジスト膜として覆い、周辺回路の窒化シリコン膜32は異方性エッチングされて周辺回路のゲート電極24Gb、24Gcの側壁がスペーサ32aを形成する。

【0065】次に、周辺回路のn型ウェル40にp型不純物、例えばホウ素をイオン注入してp+型の不純物領域、即ちソース、ドレーン領域を形成する。かつ、周辺回路のp型ウェル30にn型不純物、例えばヒ素(As)をイオン注入してn+型の不純物領域(ソース、ドレーン領域)を形成する。

【0066】図10に示すように、半導体基板10上にSOG溶液を塗布して第2SOG膜50を形成する。第2SOG膜50はスピンコーティング法により塗布される。使用されたSOG溶液のうちのパハイドロポリシラザンの重量平均分子量は4000から6000である。この時、回転速度は500から2500rpmである。SOG層50は7500から8200Åの厚みを有し、ゲート電極24Ga、24Gb、24Gc、24WLを完全に覆うように形成される。

【0067】次に、第2SOG膜50を100℃から500℃の温度で1から5分間予備ベーキングした後、600℃から900℃の温度で10から180分間主ベーキングする。ベーキングは酸素雰囲気、水蒸気雰囲気、酸素と水蒸気の混合雰囲気または窒素雰囲気で行う。水蒸気雰囲気で行う場合、雰囲気中の水蒸気の含量は1.2から86重量%になるように維持する。

【0068】上述した硬化工程を通じて第2SOG膜50のSi-N結合はSi-O結合で置換され、シリコン酸化膜に転換される。そうして、図11に示したように、厚みが約19から20%程度収縮された第2酸化シリコン膜50aを取得する。図12に示すように、第2酸化シリコン膜50a上に通常のスパッタリングの方法によりアルミニウム、タングステンなどのような金属を蒸着させて厚み5000Åの金属層を形成する。金属層を写真エッチングの方法によりパターンニングし、幅が600Åでありギャップが8400Åである金属層パターン52を形成する。

【0069】次に、SOG溶液をスピンコーティングして、金属層パターン52を完全に覆うように厚み3800Åから4500Åである第3SOG膜54を形成する。このとき、第3SOG膜54のうちのパハイドロポリシラザンの重量平均分子量は4500から7500である。

【0070】図13を参照すると、第3SOG膜54を100℃から500℃の温度で1から5分間予備ベーキングした後、400℃から450℃の温度で、10から180分間主ベーキングする。主ベーキングは前述したように水蒸気雰囲気で行う。これにより、硬化工程を通じて第3SOG膜54のSi-N結合はSi-O結合に置換され、平坦な表面を有する第3シリコン酸化膜54aに転換される。

【0071】以後、通常の半導体の製造工程を経て半導体素子を完成する。

〔シリコン酸化膜の光吸収の実験〕図3から図13に示

した方法により酸化膜を半導体基板の上に形成した。アスペクト比が5:1から10:1であり間隔が0.04から1μmである多数の配線層を有する半導体基板の上に形成した後、配線層と半導体基板を覆うシリコン酸化膜を400Åの厚みで形成した。

【0072】本実施例で使用されるポリシラザンを含むSOG溶液をスピンコーティング法により半導体基板の上にコーティングして、厚みが7852±194Åである第2SOG膜を形成した。このとき、回転数は1000rpmに調節した。第2SOG膜を150℃の温度で3分間予備ベーキングした。予備ベーキングした後、SOG膜に対しFT-IRにより光吸収度を測定した。図14は予備ベーキングした後、FT-IRにより測定した光吸収度を示すグラフである。図14から分かるように、予備ベーキングした後は、所定の波長範囲でN-H、Si-H、Si-N等の結合を示す吸収ピークを示した。この時、ストレスの値をストレスゲージで測定した結果、 $3.63 \times 10^8 \text{ dyn/cm}^2$ ($3.63 \times 10^7 \text{ pa}$)を示した。

【0073】予備ベーキングしたSOG膜を再び700℃の温度で30分間ベーキングしてSOG膜をシリコン酸化膜に転換させた。図15はベーキングした後、FT-IRにより測定した光吸収度を示すグラフである。図15から分かるように、ベーキングした後は、所定の波長範囲でSi-Oの結合のみを示す吸収ピークを示した。この時、ストレスの値を測定した結果 $-1.22 \times 10^8 \text{ dyn/cm}^2$ ($-1.22 \times 10^7 \text{ pa}$)を示した。図15から、SOG膜内のSi-N結合はSi-Oの結合に全て変換されて完全なシリコン酸化膜に転換されたことが分かる。

【0074】また、上述したようなアスペクト比が5:1から10:1であり間隔が0.04から1μmである多数の配線層を有する半導体基板の上に形成されたシリコン酸化膜では、ボイドの形成は見られなかった。

〔酸化シリコンのエッチング速度の測定実験〕

〔SOGを利用したシリコン酸化膜の形成〕SOG溶液をベア(bare)ウェーハの上に塗布してSOG膜を形成した。SOG溶液はスピンコーティング法により塗布し、回転速度は1000rpmであった。SOG膜は7500から8200Åの厚みを有するように形成した。

【0075】次に、SOG膜50を150℃の温度で3分間予備ベーキングした後、700℃の温度で3分間主ベーキングした。主ベーキングは水蒸気の雰囲気で行い、雰囲気中の水蒸気の含量は1.2から86重量%になるように維持した。上述した硬化工程を通じてSOG膜内のSi-N結合はSi-O結合に置換され、シリコン酸化膜に転換された。取得したシリコン酸化膜の厚みは約6400Åであった。

【0076】〔CVD方法による酸化膜の形成〕ベア

(bare) ウェーハ上にソースガスとしてシランガスおよび酸素ガスを使用し、キャリアガスとしてアルゴンガスを使用してHDP (High Density Plasma) CVD-酸化膜を形成した。形成されたCVD酸化膜の厚みは約6000Åであった。

【0077】〔湿式エッチングの速度測定〕本実施例による方法により製造されたシリコン酸化膜とCVD方法により製造されたCVD酸化膜とに対して湿式エッチングを行った。湿式エッチングは同一なエッチング液を使用して一定の時間行い、一定の時間の間隔によりエッチングの速度を測定した。測定した結果を図16から図21にグラフとして示した。

【0078】図16は本実施例により製造された酸化膜とCVD方法により製造された酸化膜とにフッ化アンモニウムを含む緩衝エッチング液(NH_4F および HF を蒸留水(D.I. water)で希釈した溶液)で常温25℃で湿式エッチングを行いながら、1分の間隔で測定したエッチング速度を示すグラフである。

【0079】図17は本実施例により製造された酸化膜とCVD方法により製造された酸化膜とに希釈されたフッ酸溶液(DI:HF=100:1)を使用して常温25℃で湿式エッチングを行いながら、1分間隔で測定したエッチング速度を示すグラフである。

【0080】図18は本実施例により製造された酸化膜とCVD方法により製造された酸化膜とに NH_4OH : H_2O_2 : H_2O が0.25:1:5の比率で混合されたエッチング液を使用して70℃で湿式エッチングを行いながら、10分間隔で測定したエッチング速度を示すグラフである。

【0081】図19は本実施例により製造された酸化膜とCVD方法により製造された酸化膜とに、リン酸を使用して165℃で湿式エッチングを行いながら、10分の間隔で測定したエッチング速度を示すグラフである。図20は本実施例により製造された酸化膜とCVD方法により製造された酸化膜とに、 H_2SO_4 : H_2O_2 が6:1の比率で混合された溶液をエッチング液に使用して130℃で湿式エッチングを行いながら、10分の間隔で測定したエッチング速度を示すグラフである。

【0082】図21は本実施例により製造された酸化膜とCVD方法により製造された酸化膜とに NH_4OH : H_2O_2 : H_2O が0.25:1:5の比率で混合されたエッチング液を使用して50℃で湿式エッチングを行いながら、10分間隔で測定したエッチング速度を示すグラフである。

【0083】〔乾式エッチングの速度測定〕本実施例により製造された酸化膜とCVD方法により製造された酸化膜とが形成されているウェーハを同一なチャンバ内に導入した後、同一なエッチングガスを使用して反復的にエッチング速度を測定した。チャンバ内の圧力は30m Torrに維持し、チャンバ内の出力は1700Wであ

り、使用ガスとしては C_5F_8 、 C_4F_8 、 O_2 、Arを各々8sccm (standard cubic centimeters per minute)、4sccm、6sccm、500sccmの流速で導入してエッチングガスとして使用した。エッチングを20秒間隔で反復的に実行しながら、エッチング速度を測定した。測定されたエッチングの速度を図22にグラフで示した。

【0084】図16から図22に示すように、湿式エッチングおよび乾式エッチング時において、本実施例によって形成されたシリコン酸化膜のエッチング速度は従来のCVD方法により形成されたシリコン酸化膜と殆ど類似なエッチング速度を示すことが分かる。従って、本実施例の方法に従ってSOG膜を使用して平坦化膜や層間絶縁膜を形成する場合は、得られた酸化膜は従来のCVD酸化膜と類似な物性を示すことが分かる。

【0085】かつ、本発明者の反復的な実験によると、本実施例によるスピノングラス組成物を使用すると、アスペクト比が5:1から10:1であり間隔が0.04から1μmである配線層を有する半導体基板の上に256メガ級で要求される平坦度を有し、ボイドがないシリコン酸化膜を形成することができる。

【0086】〈実施例2〉

〔スピノングラス組成物の製造〕実施例1と同一な方法で重量平均分子量が6000から8000であり、分子量の分布が3.0から4.0であるパハイドロポリシラザンを取得して、キシレンに22から25重量%の濃度に溶解させてスピノングラス組成物を製造した。

【0087】〔シャロートレンチ素子分離工程〕上述した実施例1により、高集積化された半導体装置のトレンチを埋立てるために、図5に図示したようなフィールド酸化膜14を形成する場合には、トレンチの図1で示したような内側壁面で酸化膜が厚く形成される。

【0088】図23から図29は本発明の実施例2によるシャロートレンチ素子分離方法を示す断面図である。図23を参照すれば、シリコンからなる半導体基板200上に熱酸化工程によりパッド酸化膜201を約100~200Åの厚みで形成した後、前記パッド酸化膜201上に低圧化学気相蒸着(low pressure chemical vapor deposition; LPCVD)方法により窒化膜を約100~1000Åの厚みに蒸着して研磨阻止膜203を形成する。研磨阻止膜203は後続する化学機械的研磨(CMP)工程のときに研磨阻止膜として提供される。

【0089】続いて、研磨阻止膜203上に高温酸化膜(HTO)を低圧化学気相蒸着(LPCVD)方法により約500~1000Åの厚みに蒸着して、ハードマスク層205を形成した後、その上にシリコン酸窒化物(SiON)を低圧化学気相蒸着(LPCVD)方法により約200~800Åの厚みに蒸着し、反射防止層(図示せず)を形成する。反射防止層は、後続するフォ

トリソグラフィ工程のときの乱反射を防止する役割を有し、後続するトレンチ形成工程で除去される。

【0090】図24に示すように、アクティブパターンを形成するためのフォトリソグラフィにより、反射防止層およびハードマスク層205をドライエッチングしてハードマスクパターン206を形成する。続いて、ハードマスクパターン206をエッチングマスクに用いて、研磨阻止膜203およびパッド酸化膜201をドライエッチングし、研磨阻止膜パターン204およびパッド酸化膜パターン202を形成する。

【0091】図25に示すように、ハードマスクパターン206を用いて、露出した半導体基板200を約2000～5000Å程度の深さにエッチングし、トレンチ210を形成する。望ましくは、トレンチ210は、深さ4600Åであり、幅1250Åである。このとき、反射防止層が除去され、ハードマスクパターン206も所定厚みほどエッチングされる。

【0092】図26に示すように、トレンチエッチング工程の間に、半導体基板200で高エネルギーのイオン衝撃により惹起されたシリコン損傷をキュアリングするために、トレンチ210の露出した部分を酸化性雰囲気中で熱処理する。そうすると、露出したシリコンと酸化剤との酸化反応により、トレンチ210の基底面と側壁を含む内面上に約20～300Åの厚みでトレンチ内壁酸化膜212が形成される。

【0093】次に、トレンチ210を埋めるように、取得したスピノンガラス組成物を使用して、約6000～7000Åの厚みで塗布しSOG膜213を形成する。図27に示すように、SOG膜213に100から500℃の温度で、1分から5分間予備ベーキング工程を実施する。

【0094】次に、酸化性雰囲気中で、800から900℃、望ましくは850℃の温度で、約10～120分間、望ましくは60分間1次熱処理して、SOG膜213を酸化シリコンに転換する。このとき、雰囲気は、水分が約86重量%含有された水蒸気雰囲気中で実施する。

【0095】続いて、転換された酸化シリコンを2次熱処理して密集化させ、シリコン酸化膜214に転換する。2次熱処理は、酸化性ガス雰囲気、不活性ガス雰囲気、またはこれらの混合雰囲気中で実施することができる。望ましくは、窒素ガス雰囲気のような不活性ガス雰囲気中で実施する。また、2次熱処理は、900から1100℃の温度、望ましくは1000℃の温度で、10分から120分、望ましくは約30分間実施する。

【0096】次に、図28に示すように、取得したシリコン酸化膜214を化学機械的研磨方法(CMP)により半導体基板200上の研磨阻止膜パターン204が露出するまで研磨する。そうすると、トレンチ210の内部は、シリコン酸化膜214に埋立てられる。

【0097】図29に示すように、燐酸ストリップ工程

により研磨阻止膜パターン204を除去して、素子分離方法を完成する。

〔基板酸化物形成測定実験〕

〈実験例1〉ブランキットウェーハに実施例1のようにSOG膜を形成した後、予備硬化および主硬化工程を実施した。

【0098】〈実験例2〉ブランキットウェーハに実施例2のようにSOG膜を形成した後、予備硬化工程を実施し、1次熱処理工程は850℃の温度で、水蒸気雰囲気中で1時間実施し、2次熱処理工程は、1000℃の温度で、酸素ガス雰囲気中で30分間実施してシリコン酸化膜を得た。

【0099】〈実験例3〉2次熱処理工程を窒素ガス雰囲気中で実施したことを除外しては、実験例2と同一な方法により硬化工程を実施してシリコン酸化膜を得た。

〈実験例4〉2次熱処理工程を1050℃で実施することを除外しては、実験例2と同一な方法により硬化工程を実施してシリコン酸化膜を得た。

【0100】〈実験例5〉1次熱処理工程を900℃で実施することを除外しては、実験例2と同一な方法により硬化工程を実施してシリコン酸化膜を得た。

〔基板表面の酸化検査〕実験例1から5で、硬化工程が実施されたウェーハの基板表面で、Si-O結合のストレッチングピーク(stretching peak)に対してFT-IR分析を実施した。図30は、FT-IRにより取得された吸収ピークの正規化した量(Normalized Intensity)を示す棒グラフである。図30から分かるように、主ベーキングを1段階の熱処理により実施する実験例1に比べて、主ベーキングを2段階の熱処理により実施する実験例2から5の場合は、若干の酸化物がさらに発生したことが分かった。実験例3では、基板からの酸化物が一番少なく発生したことが分かった。

【0101】〔ウェットエッチング速度およびエッチング均一性検査〕実験例2から4で取得されたSOGから転換され形成されたシリコン酸化膜と、実施例1で取得された高密度プラズマで取得されたシリコン酸化膜とをエッチングし、エッチング液の種類によるエッチング速度を検査した。ウェットエッチングは、同一なエッチング液を使用して、一定の時間実施し、一定の時間間隔によりエッチング速度を測定した。エッチングとしては、SC-1溶液(アンモニア、過酸化水素および脱イオン水の混合物)、LAL溶液(フッ化アンモニウムとフッ化水素の混合物)およびリン酸を使用した。測定結果を図31にグラフに示す。図31では、縦軸はエッチング速度比を示し、横軸はエッチング溶液とエッチングされた酸化物との種類を示す。

【0102】図31から、実験例2から5で取得されたシリコン酸化膜は、高密度プラズマ方法により取得されたシリコン酸化膜と類似したエッチング速度を示すこと

が分かる。

〔研磨試験〕実施例2で取得されたシリコン酸化膜（硬化工程は実験例3と同一に実施した）と高密度プラズマ方法により取得されたシリコン酸化膜とを使用して、実施例2と同一なパターンを有する半導体基板のトレンチを埋立てた後、化学的および機械的研磨工程を実施した。研磨阻止膜が露出するまで研磨工程を実施した後、酸化膜のプロフィールを調査して、研磨の均一性を検査した。検査結果を図32に示す。図32で、「■」で表示したデータは、高密度プラズマ方法により取得されたシリコン酸化膜の多数の測定部位における研磨結果を示し、「□」で表示したデータは実験例3で取得されたシリコン酸化膜の多数の測定部位における研磨結果を示す。研磨をするときに、スラリーとしては、同一なシリカを使用した。図32で、縦軸は研磨後の研磨程度（単位：Å）を示す。研磨時間は、高密度プラズマ方法により取得されたシリコン酸化膜の場合は、180から200秒であり、実験例3で取得されたシリコン酸化膜の場合には100秒であった。図32で、研磨量の範囲は高密度プラズマ方法により取得されたシリコン酸化膜の場合は、300から500Åであり、実験例3で取得されたシリコン酸化膜の場合は100から200Åであった。

【0103】図32から研磨量の均一性は、実施例2の方法によって形成されたシリコン酸化膜の場合には、従来の高密度プラズマ方法により取得されたシリコン酸化膜の場合に比べて、均一性が2倍程度改善され、研磨時間も約半分程度に減少したことが分かる。

【0104】また、実施例2の方法により取得されたシリコン酸化膜は、ボイドがなく、優れたギャップフィリング特性を示した反面、高密度プラズマ方法により形成されたシリコン酸化膜は、トレンチの形成部位の上部に多数のボイド形成が観察された。また、実施例2の方法によると、アクティブ領域のシリコンが酸化されず、トレンチの下部まで酸化膜が密集し優れた酸化膜特性を示した。以上、本発明の実施例を詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明の実施例を修正または変更できるであろう。

【0105】

【発明の効果】本発明によると、SOGを用いて256メガ級で要求される平坦度を有しながら、ボイドを形成しないシリコン酸化膜を形成することができる。また、1次熱処理してSOG組成物を酸化シリコンに転換させた後、転換された酸化シリコンを2次熱処理して密集化させる場合には、アクティブ領域のシリコンが酸化されることを抑制して寸法安定性を確保することができる。

【図面の簡単な説明】

【図1】従来の1次熱処理工程によりSOG膜を硬化す

る場合にトレンチの内壁に形成された酸化物を示す断面図である。

【図2】本発明の実施例によるSOG溶液のせん断速度変化による粘度変化を示すグラフである。

【図3】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図4】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図5】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図6】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図7】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図8】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図9】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図10】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図11】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図12】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図13】本発明の実施例による半導体装置のシリコン酸化膜を形成する方法を説明するための断面図である。

【図14】本発明の実施例によるSOG膜を予備ベーキングした後、測定した光吸収度を示すFT-IRチャートである。

【図15】本発明の実施例によるSOG膜を主ベーキングした後、測定した光吸収度を示すFT-IRチャートである。

【図16】本発明の実施例によるシリコン酸化膜形成方法により形成された酸化膜と、従来のCVD方法により形成されたシリコン酸化膜とのエッチング速度を比較するためのグラフである。

【図17】本発明の実施例によるシリコン酸化膜形成方法により形成された酸化膜と、従来のCVD方法により形成されたシリコン酸化膜とのエッチング速度を比較するためのグラフである。

【図18】本発明の実施例によるシリコン酸化膜形成方法により形成された酸化膜と、従来のCVD方法により形成されたシリコン酸化膜とのエッチング速度を比較するためのグラフである。

【図19】本発明の実施例によるシリコン酸化膜形成方法により形成された酸化膜と、従来のCVD方法により形成されたシリコン酸化膜とのエッチング速度を比較するためのグラフである。

【図20】本発明の実施例によるシリコン酸化膜形成方法により形成された酸化膜と、従来のCVD方法により

形成されたシリコン酸化膜とのエッチング速度を比較するためのグラフである。

【図21】本発明の実施例によるシリコン酸化膜形成方法により形成された酸化膜と、従来のCVD方法により形成されたシリコン酸化膜とのエッチング速度を比較するためのグラフである。

【図22】本発明の実施例によるシリコン酸化膜形成方法により形成された酸化膜と、従来のCVD方法により形成されたシリコン酸化膜とのエッチング速度を比較するためのグラフである。

【図23】本発明の実施例によるシャロートレンチ素子分離方法を説明するための断面図である。

【図24】本発明の実施例によるシャロートレンチ素子分離方法を説明するための断面図である。

【図25】本発明の実施例によるシャロートレンチ素子分離方法を説明するための断面図である。

【図26】本発明の実施例によるシャロートレンチ素子分離方法を説明するための断面図である。

【図27】本発明の実施例によるシャロートレンチ素子分離方法を説明するための断面図である。

【図28】本発明の実施例によるシャロートレンチ素子分離方法を説明するための断面図である。

【図29】本発明の実施例によるシャロートレンチ素子分離方法を説明するための断面図である。

【図30】本発明の実施例による方法によってシリコン酸化膜を形成し、基板のアクティブ領域のシリコン酸化膜に対してFT-IRにより測定した結果を示す図であ

って、取得した吸収ピークの正規化した量(Normalized Intensity)を示す棒グラフである。

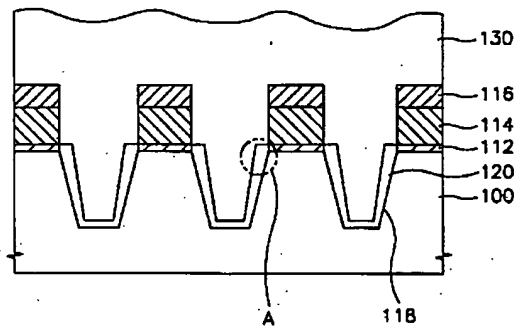
【図31】本発明の実施例による方法によって取得されたシリコン酸化膜のエッチング液の種類によるエッチング速度の検査結果を示すグラフである。

【図32】本発明の実施例による方法で取得されたシリコン酸化膜と高密度プラズマ方法により取得されたシリコン酸化膜とを使用して、化学的および機械的研磨工程を実施した後、酸化膜のプロフィールを調査して研磨の均一性を検査した結果を示すグラフである。

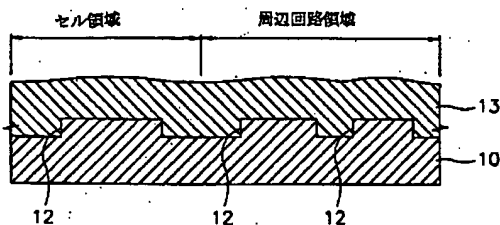
【符号の説明】

10	基板
12	トレンチ
13	第1SOG膜
14	シリコン酸化膜
50	第2SOG膜
200	半導体基板
201	パッド酸化膜
203	研磨阻止膜
204	研磨阻止膜パターン
205	ハードマスク層
206	ハードマスクパターン
210	トレンチ
212	トレンチ内壁酸化膜
213	SOG膜
214	シリコン酸化膜

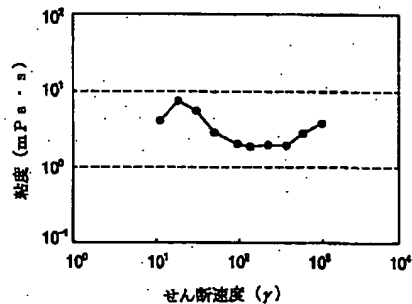
【図1】



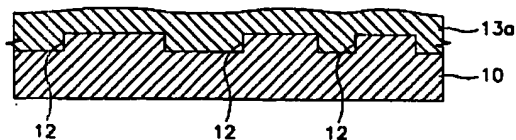
【図3】



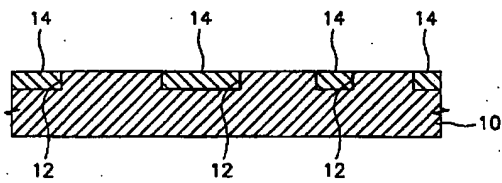
【図2】



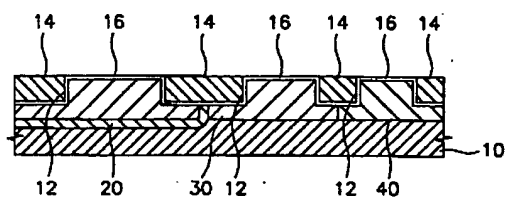
【図4】



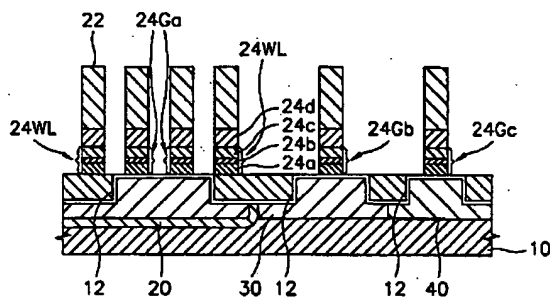
【圖5】



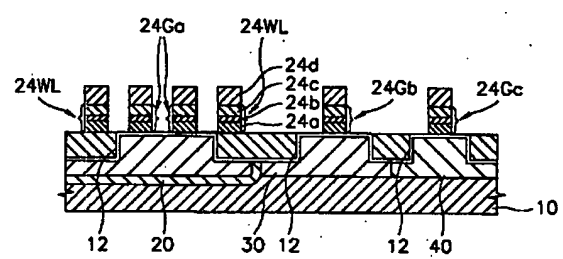
【圖6】



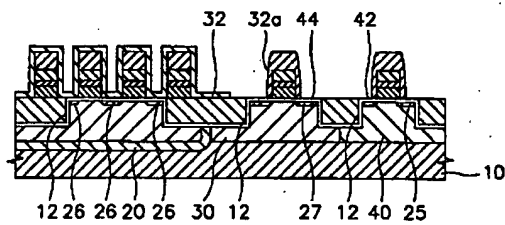
【圖7】



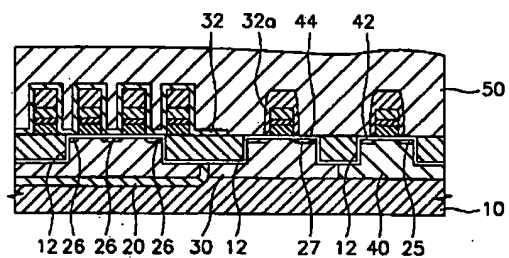
【圖8】



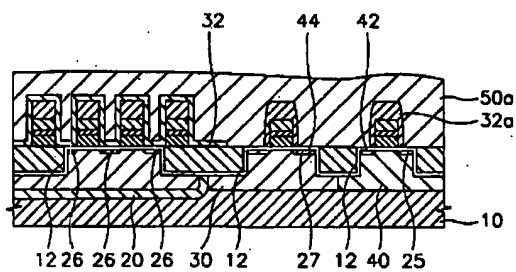
【圖9】



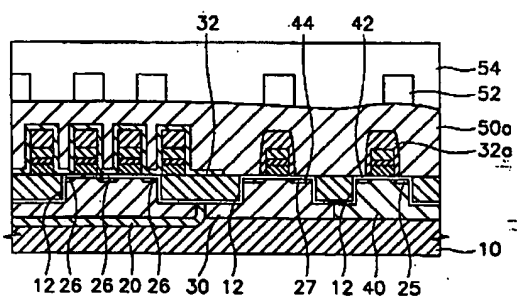
【圖10】



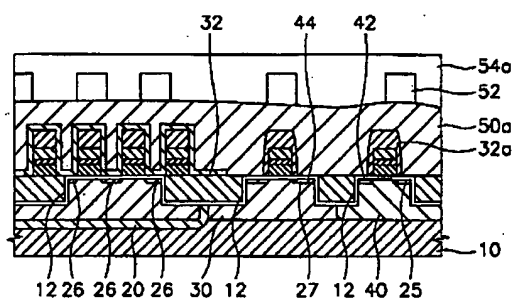
【圖11】



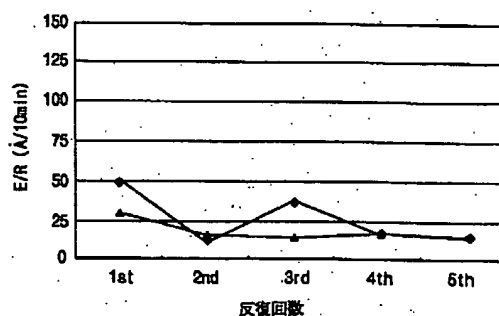
【圖12】



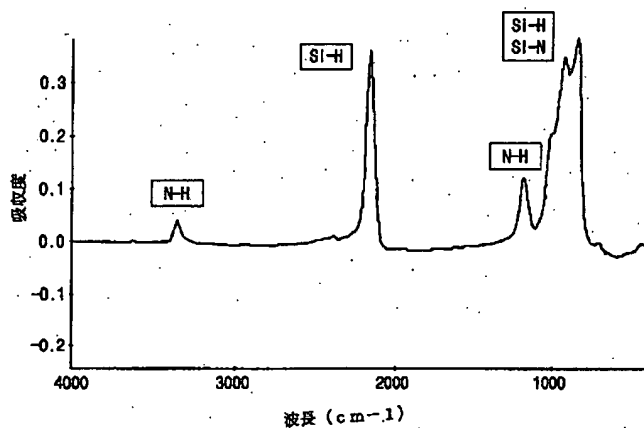
【図13】



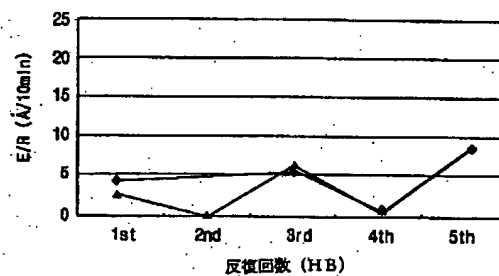
【図19】



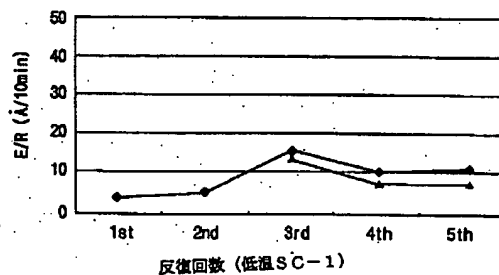
【図14】



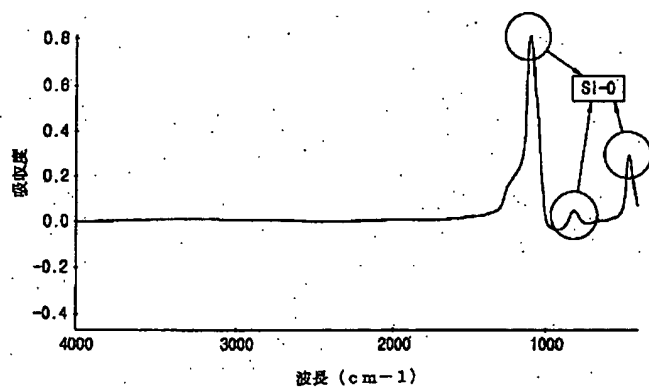
【図20】



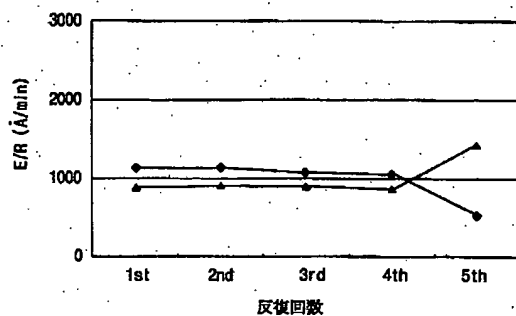
【図21】



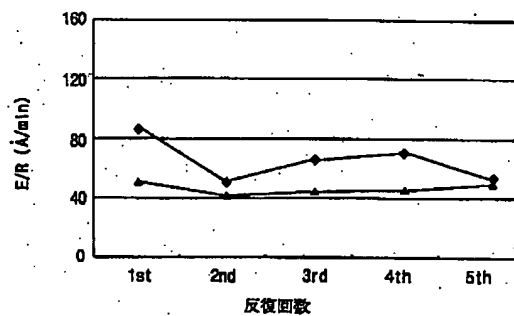
【図15】



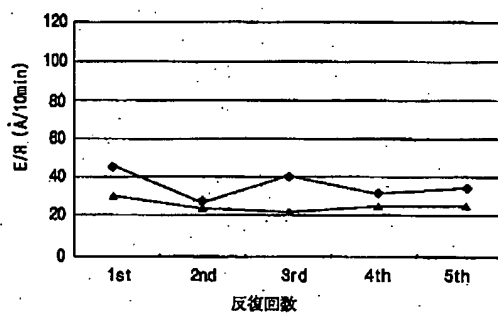
【図16】



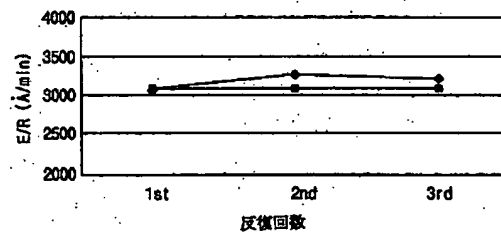
【図17】



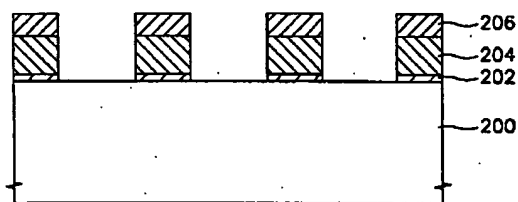
【図18】



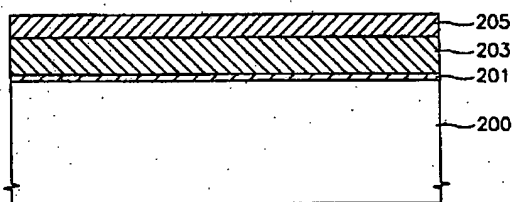
【図22】



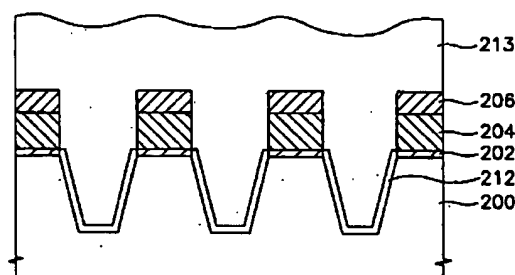
【図24】



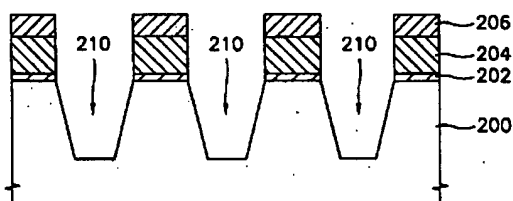
【図23】



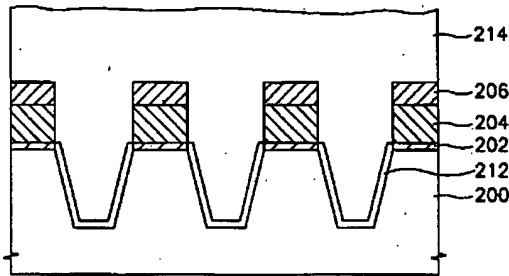
【図26】



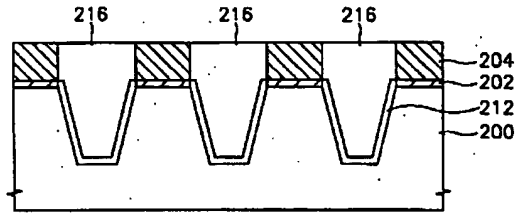
【図25】



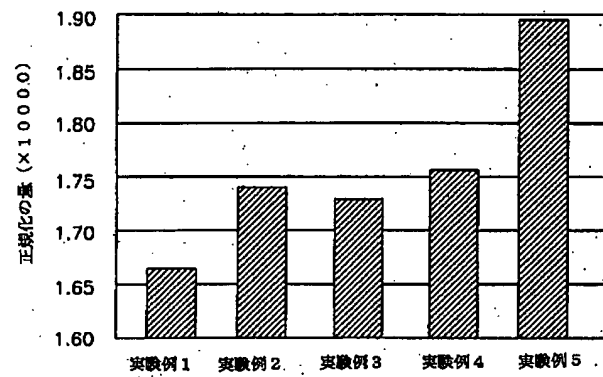
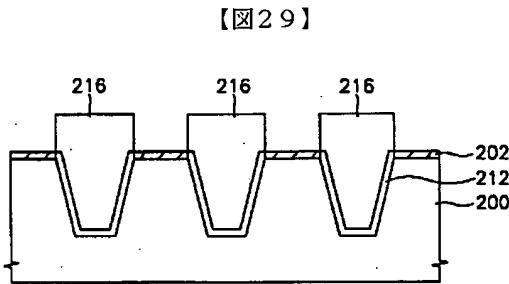
【図27】



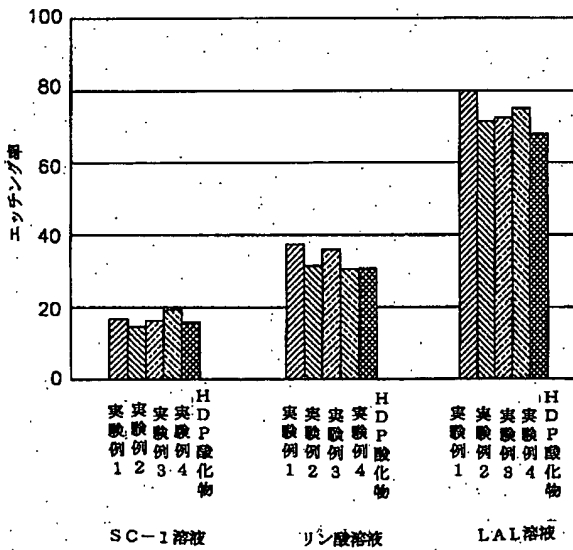
【図28】



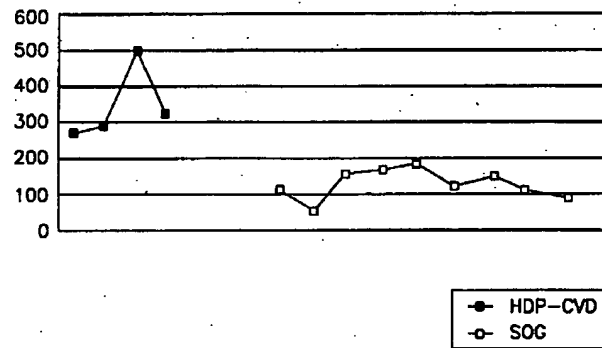
【図30】



【図31】



【図32】



フロントページの続き

(72)発明者 姜 大源
大韓民国京畿道城南市盆唐区亭子洞ハンソ
ルタウン住公5団地503棟2106号

(72)発明者 文 成澤
大韓民国京畿道水原市八達区仁溪洞359-
34番地

(72)発明者 李 基鶴
大韓民国ソウル市瑞草区良才1洞6-37番
地美州タウン304号

(72)発明者 崔 晶植
大韓民国京畿道城南市盆唐区九美洞20番地
金星白鳥ビル204棟104号

Fターム(参考) 5F032 AA35 AA44 AA45 CA01 CA03
CA17 CA23 DA10 DA23 DA53
DA74

5F033 HH08 HH09 HH19 HH28 MM08
PP09 PP15 QQ08 QQ09 QQ10
QQ16 QQ58 QQ65 QQ74 RR04
RR06 SS13 SS15 SS22 TT08
VV06 VV16 XX01 XX02

5F058 AA06 AA10 AC03 AF04 AG01
AH06 BA09 BA20 BC05 BF46
BH01 BH03 BJ06